

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-251184

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/28

9466-5K

H 0 4 L 11/20

D

1/22

1/22

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21) 出願番号 特願平7-50201

(22) 出願日 平成7年(1995)3月9日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 太田 宏

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 上松 仁

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 古谷 史旺

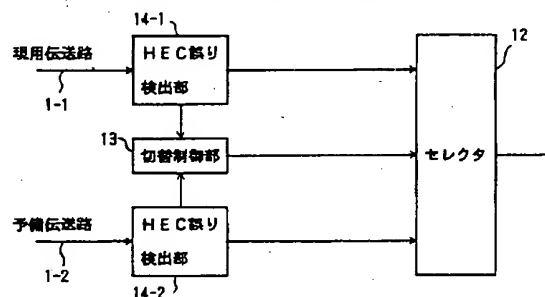
(54) 【発明の名称】 短瞬断切替回路および無瞬断切替回路

(57) 【要約】

【目的】 故障検出を高速に行うことにより現用系と予備系との間の切替時間を短縮し、伝送路切り替えに伴う伝送信号の消失を最小限に抑えることができる短瞬断切替回路および無瞬断切替回路を実現する。

【構成】 同一のATMセル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクタと、各伝送路から受信したセルのHEC誤りを検出するHEC誤り検出部と、セレクタが選択している系の伝送路から受信したセルにHEC誤りが検出されたときに、セレクタの選択を他系に切り替える切替命令を出力する切替制御部とを備える(短瞬断切替回路)。

本発明の短瞬断切替回路の第1実施例の構成



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 同一のATMセル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクトを備えた切替回路において、

前記各伝送路から受信したセルのHEC誤りを検出するHEC誤り検出部と、

前記セレクトが選択している系の伝送路から受信したセルにHEC誤りが検出されたときに、前記セレクトの選択を他系に切り替える切替命令を出力する切替制御部とを備えたことを特徴とする短瞬断切替回路。

【請求項2】 同一のATMセル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクトを備えた切替回路において、

前記各伝送路から受信したセルのHEC誤りを検出するHEC誤り検出部と、

前記セレクトが選択している系の伝送路から受信したセルにHEC誤りがN回（Nは2以上の整数）連続して検出されたときに、前記セレクトの選択を他系に切り替える切替命令を出力する切替制御手段とを備えたことを特徴とする短瞬断切替回路。

【請求項3】 請求項1または請求項2に記載の短瞬断切替回路において、

現用系と予備系の伝送路から受信したセルをそれぞれ一時蓄積するバッファと、

現用系と予備系の伝送路から同一のセルの到着時間差を測定し、前記バッファ量を制御して到着時間差を吸収するセル比較制御部とを備えたことを特徴とする短瞬断切替回路。

【請求項4】 同一のATMセル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクトを備えた切替回路において、

前記各伝送路から受信したセルのHEC誤りを検出するHEC誤り検出部と、

前記HEC誤り検出部と前記セレクトとの間に配置され、その間を通過するセルに所定の遅延を与える遅延付与部と、

前記セレクトが選択している系の伝送路から受信したセルにHEC誤りが検出されたときに、前記セレクトの選択を他系に切り替える切替命令を出力する切替制御部とを備えたことを特徴とする無瞬断切替回路。

【請求項5】 同一のATMセル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクトを備えた切替回路において、

前記各伝送路から受信したセルのHEC誤りを検出するHEC誤り検出部と、

前記HEC誤り検出部と前記セレクトとの間に配置さ

れ、その間を通過するセルに所定の遅延を与える遅延付与部と、

前記セレクトが選択している系の伝送路から受信したセルにHEC誤りがN回（Nは2以上の整数）連続して検出されたときに、前記セレクトの選択を他系に切り替える切替命令を出力する切替制御手段とを備えたことを特徴とする無瞬断切替回路。

【請求項6】 請求項4または請求項5に記載の短瞬断切替回路において、

現用系と予備系の伝送路から受信したセルをそれぞれ一時蓄積するバッファと、

現用系と予備系の伝送路から同一のセルの到着時間差を測定し、前記バッファ量を制御して到着時間差を吸収するセル比較制御部とを備えたことを特徴とする短瞬断切替回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM (Asynchronous Transfer Mode) 送受信装置において、現用伝送路と予備伝送路との間の切り替えを行う短瞬断切替回路および無瞬断切替回路に関する。

【0002】

【従来の技術】 ATMシステムでは、図9に示すような5バイト×8ビットのヘッダ部と、48バイト×8ビットのインフォメーションフィールド部をもつATMセルが順次伝送されている。このようなATMシステムにおいて、従来からATMセルを伝送する伝送路を二重化し、現用系の伝送路に故障が発生したときに予備系の伝送路に切り替えることにより、故障救済を行う伝送路切替回路が用いられていた。図10は、従来の伝送路切替回路の構成例を示す。

【0003】 図において、現用伝送路1-1および予備伝送路1-2には、それぞれ故障検出部11-1、11-2を介してセレクト12が接続され、セレクト12の切り替えによって接続する伝送路が選択される。いま、現用伝送路1-1に接続されている故障検出部11-1で故障が検出されると、切替制御部13は故障検出部11-1からの通知によってセレクト12を予備系に切り替え、故障救済を行う。また、予備系を選択している場合に、予備系に故障が発生したときも同様に現用系への切り替えが行われる。

【0004】

【発明が解決しようとする課題】 従来の伝送路切替回路における故障検出部11は、入力信号レベルの低下（例えば、光レベルの低下）、フレーム同期信号の消失、ビットタイミングの消失等が一定時間（例えば、1秒）継続したときに故障と判断している。すなわち、故障が発生してから故障と判断し、セレクト12を切り替えて故障救済が完了するまでの間に所定の時間が必要であり、その間に多くの伝送信号が消失していた。

【 0 0 0 5 】 本発明は、故障検出を高速に行うことにより現用系と予備系との間の切替時間を短縮し、伝送路切り替えに伴う伝送信号の消失を最小限に抑えることができる短瞬断切替回路および無瞬断切替回路を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】 請求項 1 の短瞬断切替回路は、同一の A T M セル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクタと、各伝送路から受信したセルの H E C 誤りを検出する H E C 誤り検出部と、セレクタが選択している系の伝送路から受信したセルに H E C 誤りが検出されたときに、セレクタの選択を他系に切り替える切替命令を出力する切替制御部とを備える。

【 0 0 0 7 】 請求項 2 の短瞬断切替回路は、セレクタが選択している系の伝送路から受信したセルに H E C 誤りが N 回 (N は 2 以上の整数) 連続して検出されたときに、セレクタの選択を他系に切り替える切替命令を出力する切替制御手段を備える。請求項 3 の短瞬断切替回路は、請求項 1 または請求項 2 の短瞬断切替回路に加えて、現用系と予備系の伝送路から受信したセルをそれぞれ一時蓄積するバッファと、現用系と予備系の伝送路から同一のセルの到着時間差を測定し、バッファ量を制御して到着時間差を吸収するセル比較制御部とを備える。

【 0 0 0 8 】 請求項 4 の無瞬断切替回路は、同一の A T M セル系列が伝送されている現用系と予備系の二重化された伝送路からそれぞれセルを受信し、切替命令に応じてその一方を選択するセレクタと、各伝送路から受信したセルの H E C 誤りを検出する H E C 誤り検出部と、 H E C 誤り検出部とセレクタとの間に配置され、その間を通過するセルに所定の遅延を与える遅延付与部と、セレクタが選択している系の伝送路から受信したセルに H E C 誤りが検出されたときに、セレクタの選択を他系に切り替える切替命令を出力する切替制御部とを備える。

【 0 0 0 9 】 請求項 5 の無瞬断切替回路は、セレクタが選択している系の伝送路から受信したセルに H E C 誤りが N 回 (N は 2 以上の整数) 連続して検出されたときに、セレクタの選択を他系に切り替える切替命令を出力する切替制御手段を備える。請求項 6 の無瞬断切替回路は、請求項 4 または請求項 5 の短瞬断切替回路に加えて、現用系と予備系の伝送路から受信したセルをそれぞれ一時蓄積するバッファと、現用系と予備系の伝送路から同一のセルの到着時間差を測定し、バッファ量を制御して到着時間差を吸収するセル比較制御部とを備える。

【 0 0 1 0 】

【作用】 請求項 1 の短瞬断切替回路では、現用系と予備系の各伝送路から受信されたセルは、まず H E C 誤り検出部で H E C 誤りの有無が検査される。 H E C 誤り検出部は H E C 誤りを検出すると、それを切替制御部に通知

する。切替制御部は、現用系の伝送路に H E C 誤りが検出されたことが通知されると、現用伝送路に故障が発生したと判断し、セレクタを現用系から予備系に切り替えて故障の救済を行う。

【 0 0 1 1 】 H E C 誤り検出による故障検出は 1 セル時間以内に行うことができる。ただし、 H E C 誤り検出部が現用伝送路から受信されたセルの H E C 誤りを検出した時点では、その直前の 1 セルにも誤りが発生している可能性がある。したがって、その時点でセレクタを予備系に切り替えることにより、現用伝送路の故障救済に伴う品質劣化を 2 セルの誤りのみにとどめることができる。

【 0 0 1 2 】 請求項 2 の短瞬断切替回路では、 H E C 誤りが N 回連続して検出されたときにセレクタを切り替えることにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。このとき、故障救済に伴う品質劣化を N + 1 セルの誤りのみにとどめることができる。請求項 3 の短瞬断切替回路では、現用伝送路と予備伝送路から受信されるセルの到着時間差に基づいてバッファ量を制御することにより、両伝送路からのセルの到着時間差を吸収することができる。これにより、現用伝送路と予備伝送路から受信されるセルに到着時間差がある場合でも、セレクタの切り替えに伴うセルの欠落、重複を回避することができる。

【 0 0 1 3 】 請求項 4 ~ 6 の無瞬断切替回路は、請求項 1 ~ 3 の短瞬断切替回路のそれぞれに、 H E C 誤り検出部とセレクタとの間を通過するセルに所定の遅延を与える遅延付与部を備える。短瞬断切替回路では、 H E C 誤り検出による故障検出を 1 セル時間以内に行うことができるものの、セレクタの切り替えまでの間に少なくとも 2 セルの誤りは救済できなかった。特に、誤動作に対処するために保護機能を付加した場合には、 N + 1 セルの誤りは救済できなかった。これに対して、セルに所定の遅延 (2 セル分または N + 1 セル分) を与えてセレクタに入力する構成をとることにより、セレクタの切り替えによって誤りを含まないセルを選択することができる。すなわち、現用伝送路から受信されたセルに H E C 誤りが検出された場合に、主信号を瞬断させることなく故障救済を行うことができる。

【 0 0 1 4 】

【実施例】

(短瞬断切替回路の第 1 実施例 - 請求項 1) 図 1 は、本発明の短瞬断切替回路の第 1 実施例の構成を示す。図において、現用伝送路 1 - 1 および予備伝送路 1 - 2 には、それぞれ H E C 誤り検出部 1 4 - 1、 1 4 - 2 を介してセレクタ 1 2 が接続され、セレクタ 1 2 の切り替えによって接続する伝送路が選択される。切替制御部 1 3 は、 H E C 誤り検出部 1 4 - 1、 1 4 - 2 の H E C 誤り検出通知に応じてセレクタ 1 2 に切替命令を送出する。

【 0 0 1 5 】 現用伝送路 1 - 1 と予備伝送路 1 - 2 から

受信されたセルは、それぞれ対応するHEC誤り検出部14-1, 14-2でHEC誤りの有無が検査される。各HEC誤り検出部はHEC誤りを検出すると、それを切替制御部13に通知する。切替制御部13は、セクタ12が現用伝送路1-1を選択しているときに、HEC誤り検出部14-1からHEC誤り検出が通知されると、現用伝送路1-1に故障が発生したと判断し、セクタ12を現用伝送路1-1から予備伝送路1-2に切り替える切替命令を出力する。セクタ12が予備伝送路1-2を選択しているときに予備伝送路1-2に故障が発生した場合も同様である。セクタ12は、切替制御部13からの切替命令に従って伝送路を切り替えることにより、伝送路の故障救済に伴う品質劣化は2セル以内になる。

【0016】（短瞬断切替回路の第2実施例-請求項2）図2は、本発明の短瞬断切替回路の第2実施例の構成を示す。本実施例は、図1に示す第1実施例の構成に加えて、切替制御部13とセクタ12との間に保護部15を備えることを特徴とする。保護部15は、切替制御部13から切替命令がN回連続して送出されたときに、セクタ12に切替命令を送出する機能を有する。これにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。このとき、故障救済に伴う品質劣化はN+1セル以内になる。

【0017】なお、請求項2における切替制御手段は、本実施例における切替制御部13と保護部15に対応する。本実施例では、保護部15が切替制御部13とセクタ12との間で、HEC誤り検出に伴う切替命令を制御する構成であるが、HEC誤り検出部14-1, 14-2と切替制御部13との間に配置し、HEC誤り検出がN回連続したときに切替制御部13に通知するようにしてもよい。

【0018】（短瞬断切替回路の第3実施例-請求項3）図3は、本発明の短瞬断切替回路の第3実施例の構成を示す。本実施例は、図1に示す第1実施例の構成に加えて、HEC誤り検出部14-1, 14-2とセクタ12との間に、バッファ16-1, 16-2とセル比較制御部17を備えることを特徴とする。バッファ16-1, 16-2は、HEC誤り検出部14-1, 14-2から出力されるセルを蓄積し、セル比較制御部17により制御されるバッファ量に応じて、蓄積したセルを順次セクタ12へ送出する。セル比較制御部17は、バッファ16-1, 16-2から出力される同一のセルの到着時間差を測定し、この到着時間差が吸収されてセクタ12に入力されるようにバッファ16-1, 16-2のバッファ量を制御する。

【0019】これにより、現用伝送路1-1および予備伝送路1-2から受信されるセルに到着時間差がある場合でも、到着時間差が吸収されて同一のセルがセクタ12に入力されるので、セクタ12の切り替えに伴う

セルの欠落または重複を回避することができる。なお、HEC誤り検出によるセクタ切り替えは図1に示す第1実施例と同様であり、故障救済に伴う品質劣化は2セル以内になる。

【0020】また、図2に示す第2実施例と同様に切替制御部13とセクタ12との間、あるいはHEC誤り検出部14-1, 14-2と切替制御部13との間に保護部15を配置することにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。このとき、故障救済に伴う品質劣化はN+1セル以内になる。

【0021】（短瞬断切替回路の第4実施例-請求項3）図4は、本発明の短瞬断切替回路の第4実施例の構成を示す。本実施例は、図1に示す第1実施例の構成に加えて、HEC誤り検出部14-1, 14-2とセクタ12との間に、2×2スイッチ18、バッファ16、セル比較制御部19を備えることを特徴とする。2×2スイッチ18は、HEC誤り検出部14-1, 14-2とセクタ12との間の一方の経路にバッファ16を挿入する。バッファ16は、HEC誤り検出部14-1, 14-2の一方から出力されるセルを蓄積し、セル比較制御部19により制御されるバッファ量に応じて、蓄積したセルを順次セクタ12へ送出する。セル比較制御部19は、セクタ12に入力される同一のセルの到着時間差を測定し、早く到着する側にバッファ16が挿入されるように2×2スイッチ18を切り替え、この到着時間差が吸収されてセクタ12に入力されるようにバッファ16のバッファ量を制御する。また、セル比較制御部19は、切替制御部13に対して2×2スイッチ18の接続状態を通知し、現用伝送路1-1, 予備伝送路1-2とセクタ12の対応関係をとるようにする。

【0022】本実施例は、第3実施例（図3）で示した2つのバッファ16-1, 16-2を用いて遅延調整する機能を、2×2スイッチ18と1つのバッファ16で実現するものである。これにより、現用伝送路1-1および予備伝送路1-2から受信されるセルに到着時間差がある場合でも、到着時間差が吸収されて同一のセルがセクタ12に入力されるので、セクタ12の切り替えに伴うセルの欠落または重複を回避することができる。

【0023】なお、HEC誤り検出によるセクタ切り替えは図1に示す第1実施例と同様であり、故障救済に伴う品質劣化は2セル以内になる。また、図2に示す第2実施例と同様に切替制御部13とセクタ12との間、あるいはHEC誤り検出部14-1, 14-2と切替制御部13との間に保護部15を配置することにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。このとき、故障救済に伴う品質劣化はN+1セル以内になる。

【0024】以上示した短瞬断切替回路は、HEC誤り

10

20

30

40

50

検出による故障検出を1セル時間以内に行うことができるものの、セレクトの切り替えまでの間に少なくとも2セルの誤りは救済できなかった。特に、誤動作に対処するために保護機能を付加した場合には、 $N+1$ セルの誤りは救済できなかった。これに対処する無瞬断切替回路の実施例について以下に説明する。無瞬断切替回路は、セルに所定の遅延(2セル分または $N+1$ セル分)を与えてセレクトに入力する構成をとる。

【0025】(無瞬断切替回路の第1実施例—請求項

4) 図5は、本発明の無瞬断切替回路の第1実施例の構成を示す。本実施例は、短瞬断切替回路の第1実施例

(図1)の構成に加えて、切替制御部13とセレクト12との間に遅延付与部20-1、20-2を備えることを特徴とする。遅延付与部20-1、20-2は、HEC誤り検出部14-1、14-2から出力されるセルに2セル分の遅延を与えてセレクト12に送出する。これにより、セレクト12が切り替えられる時点では、誤りを含むセルは遅延付与部20-1、20-2に蓄積されているので、セレクト12で他系のセルに切り替えることにより、誤りのないセルを送出することができる。すなわち、現用伝送路または予備伝送路から受信されたセルにHEC誤りが検出された場合に、主信号を瞬断させることなく故障救済を行うことができる。

【0026】(無瞬断切替回路の第2実施例—請求項

5) 図6は、本発明の無瞬断切替回路の第2実施例の構成を示す。本実施例は、図5に示す第1実施例の構成に加えて、切替制御部13とセレクト12との間に保護部15を備えることを特徴とする。保護部15は、切替制御部13から切替命令が N 回連続して送出されたときに、セレクト12に切替命令を送出する機能を有する。これにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。また、遅延付与部20-1、20-2で保護動作に対応する $N+1$ セル分の遅延を与えることにより、第1実施例と同様に主信号を瞬断させることなく故障救済を行うことができる。

【0027】なお、請求項5における切替制御手段は、本実施例における切替制御部13と保護部15に対応する。本実施例では、保護部15が切替制御部13とセレクト12との間で、HEC誤り検出に伴う切替命令を制御する構成であるが、HEC誤り検出部14-1、14-2と切替制御部13との間に配置し、HEC誤り検出が N 回連続したときに切替制御部13に通知するようにしてもよい。

【0028】(無瞬断切替回路の第3実施例—請求項

6) 図7は、本発明の無瞬断切替回路の第3実施例の構成を示す。本実施例は、図5に示す第1実施例の構成に加えて、HEC誤り検出部14-1、14-2と遅延付与部20-1、20-2との間に、バッファ16-1、16-2とセル比較制御部17を備えることを特徴とする。バッファ16-1、16-2は、HEC誤り検出部

14-1、14-2から出力されるセルを蓄積し、セル比較制御部17により制御されるバッファ量に応じて、蓄積したセルを順次遅延付与部20-1、20-2へ送出する。セル比較制御部17は、バッファ16-1、16-2から出力される同一のセルの到着時間差を測定し、この到着時間差が吸収されて遅延付与部20-1、20-2に入力されるようにバッファ16-1、16-2のバッファ量を制御する。

【0029】これにより、現用伝送路1-1および予備伝送路1-2から受信されるセルに到着時間差がある場合でも、到着時間差が吸収されて同一のセルが遅延付与部20-1、20-2に入力され、それぞれ無瞬断切替に必要な所定の遅延が付与されるので、セレクト12の切り替えに伴うセルの欠落または重複を回避することができる。

【0030】なお、本実施例において、バッファ16-1と遅延付与部20-1、バッファ16-2と遅延付与部20-2はそれぞれ機能別に表示したものであり、それぞれ1つの素子で実現することができる。また、図6に示す第2実施例と同様に切替制御部13とセレクト12との間、あるいはHEC誤り検出部14-1、14-2と切替制御部13との間に保護部15を配置することにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。

【0031】(無瞬断切替回路の第4実施例—請求項

6) 図8は、本発明の無瞬断切替回路の第4実施例の構成を示す。本実施例は、図5に示す第1実施例の構成に加えて、HEC誤り検出部14-1、14-2と遅延付与部20-1、20-2との間に、 2×2 スイッチ18、バッファ16、セル比較制御部19を備えることを特徴とする。 2×2 スイッチ18は、HEC誤り検出部14-1、14-2と遅延付与部20-1との間の一方の経路にバッファ16を挿入する。バッファ16は、HEC誤り検出部14-1、14-2の一方から出力されるセルを蓄積し、セル比較制御部19により制御されるバッファ量に応じて、蓄積したセルを順次遅延付与部20-1へ送出する。セル比較制御部19は、遅延付与部20-1、20-2に入力される同一のセルの到着時間差を測定し、早く到着する側にバッファ16が挿入されるように 2×2 スイッチ18を切り替え、この到着時間差が吸収されて遅延付与部20-1、20-2に入力されるようにバッファ16のバッファ量を制御する。また、セル比較制御部19は、切替制御部13に対して 2×2 スイッチ18の接続状態を通知し、現用伝送路1-1、予備伝送路1-2とセレクト12の対応関係をとるようにする。

【0032】本実施例は、第3実施例(図7)で示した2つのバッファ16-1、16-2を用いて遅延調整する機能を、 2×2 スイッチ18と1つのバッファ16で実現するものである。これにより、現用伝送路1-1お

よび予備伝送路 1-2 から受信されるセルに到着時間差がある場合でも、到着時間差が吸収されて同一のセルが遅延付与部 20-1, 20-2 に入力され、それぞれ無瞬断切替に必要な所定の遅延が付与されるので、セクタ 12 の切り替えに伴うセルの欠落または重複を回避することができる。

【0033】なお、本実施例において、バッファ 16 と遅延付与部 20-1 は機能別に表示したものであり、1つの素子で実現することができる。また、図 6 に示す第 2 実施例と同様に切替制御部 13 とセクタ 12 との間、あるいは HEC 誤り検出部 14-1, 14-2 と切替制御部 13 との間に保護部 15 を配置することにより、故障以外の偶然に発生するビット誤りによる切り替えを防止することができる。

【0034】

【発明の効果】以上説明したように、本発明の短瞬断切替回路は、現用伝送路あるいは予備伝送路に故障が発生した場合に、2セルあるいは N (保護段数) + 1 セルの誤りに抑えた短瞬断切り替えが可能である。したがって、従来の伝送路切替回路に比べて故障救済を行う際の品質劣化を大幅に低減することができる。

【0035】本発明の無瞬断切替回路は、現用伝送路あるいは予備伝送路に故障が発生した場合に無瞬断切り替えが可能である。したがって、二重化された伝送路間で品質劣化を伴うことなく故障救済を行うことができる。なお、本発明の短瞬断切替回路および無瞬断切替回路は、三重化以上の伝送路間の切り替えにも同様に対応することができる。

【図面の簡単な説明】

【図 1】本発明の短瞬断切替回路の第 1 実施例の構成を

示すブロック図。

【図 2】本発明の短瞬断切替回路の第 2 実施例の構成を示すブロック図。

【図 3】本発明の短瞬断切替回路の第 3 実施例の構成を示すブロック図。

【図 4】本発明の短瞬断切替回路の第 4 実施例の構成を示すブロック図。

【図 5】本発明の無瞬断切替回路の第 1 実施例の構成を示すブロック図。

【図 6】本発明の無瞬断切替回路の第 2 実施例の構成を示すブロック図。

【図 7】本発明の無瞬断切替回路の第 3 実施例の構成を示すブロック図。

【図 8】本発明の無瞬断切替回路の第 4 実施例の構成を示すブロック図。

【図 9】一般的な ATM セルのフォーマットを示す図。

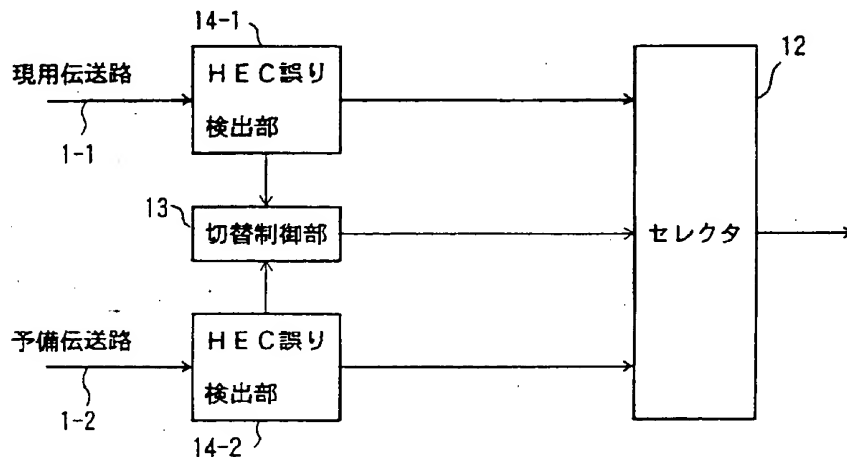
【図 10】従来の伝送路切替回路の構成例を示す図。

【符号の説明】

- 1-1 現用伝送路
- 1-2 予備伝送路
- 11 故障検出部
- 12 セクタ
- 13 切替制御部
- 14 HEC 誤り検出部
- 15 保護部
- 16 バッファ
- 17, 19 セル比較制御部
- 18 2×2 スイッチ
- 20 遅延付与部

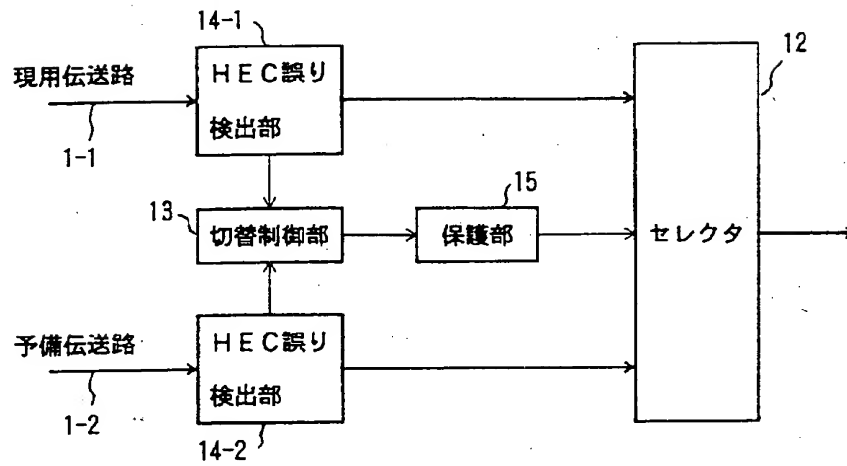
【図 1】

本発明の短瞬断切替回路の第 1 実施例の構成



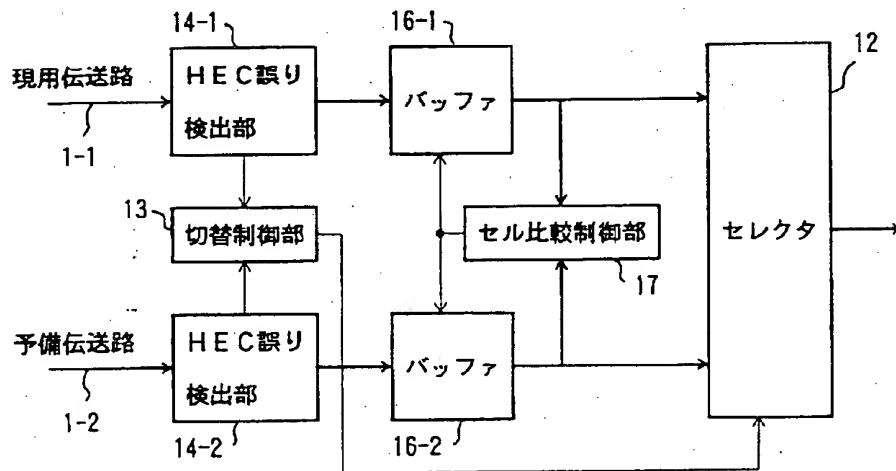
【図 2】

本発明の短瞬断切替回路の第 2 実施例の構成



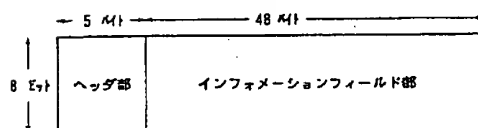
【図 3】

本発明の短瞬断切替回路の第 3 実施例の構成



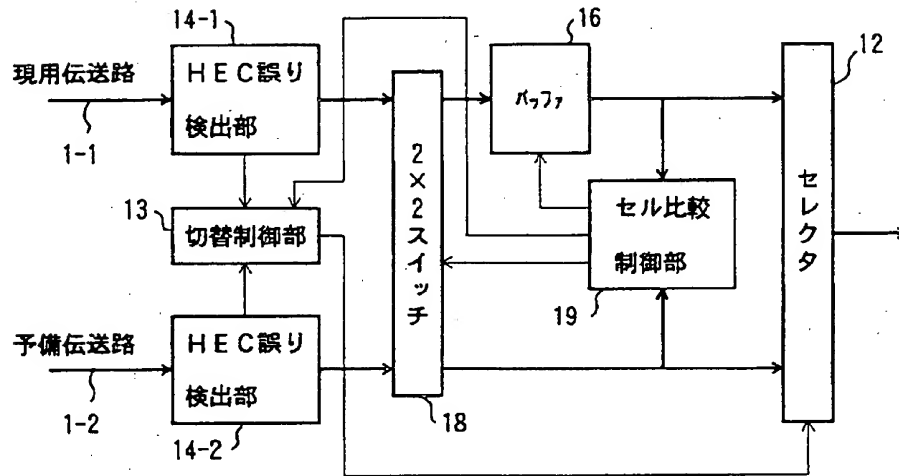
【図 9】

一般的な ATM セルのフォーマット



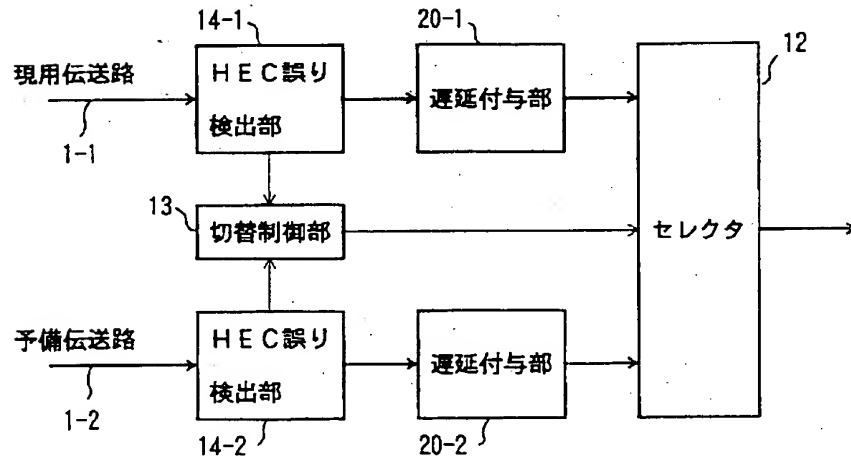
【図 4】

本発明の短瞬断切替回路の第 4 実施例の構成



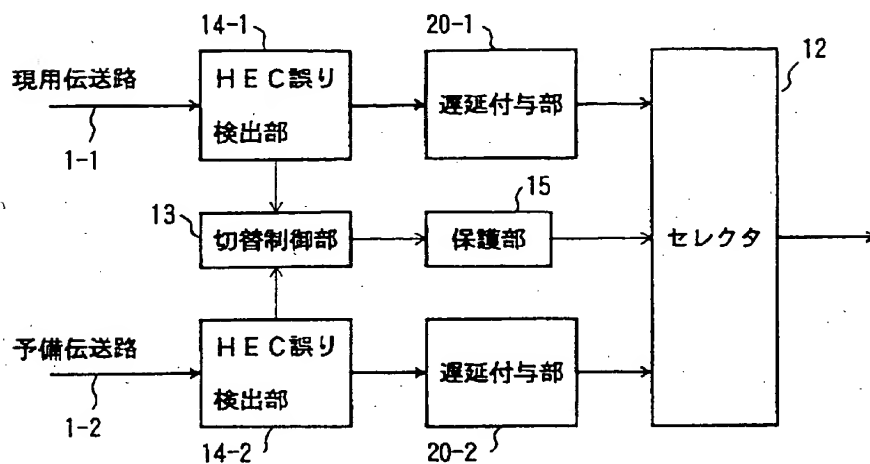
【図 5】

本発明の無瞬断切替回路の第 1 実施例の構成



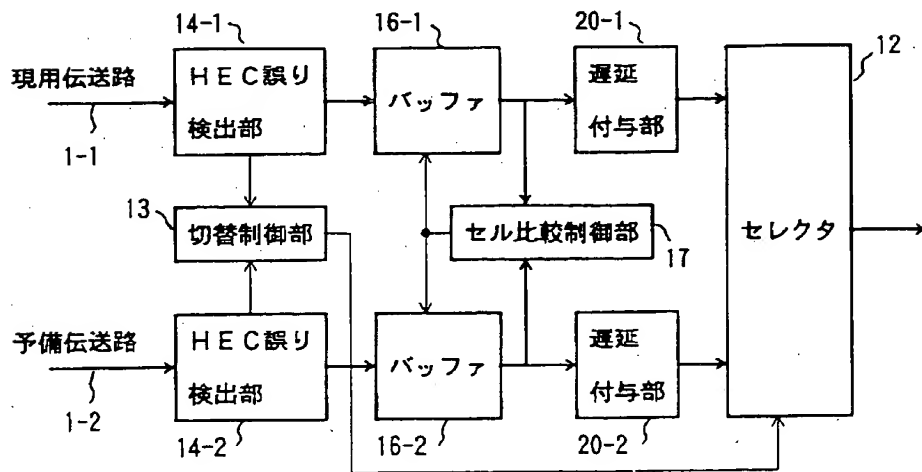
【図 6】

本発明の無瞬断切替回路の第 2 実施例の構成



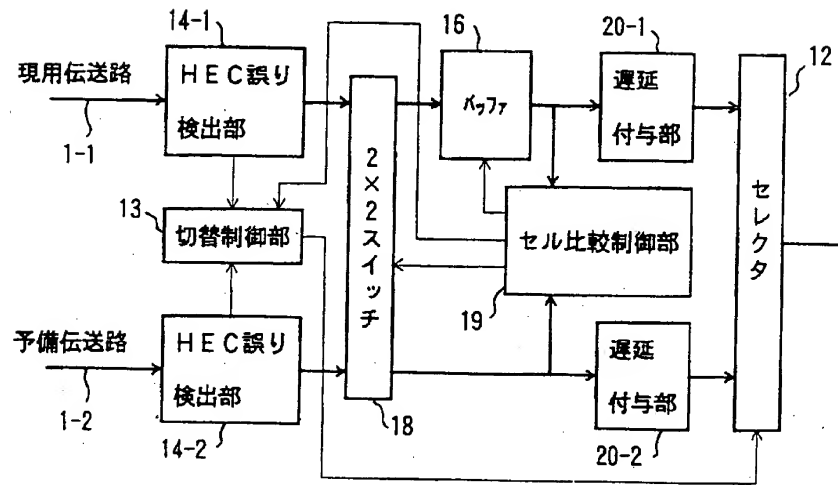
【図 7】

本発明の無瞬断切替回路の第 3 実施例の構成



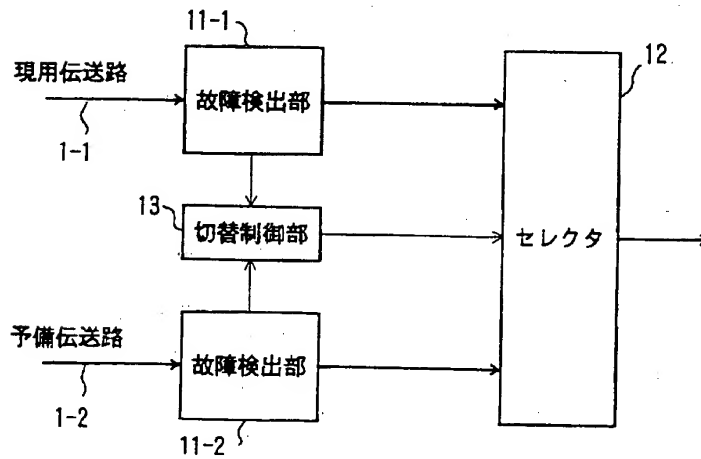
【図 8】

本発明の無瞬断切替回路の第 4 実施例の構成



【図 10】

従来の伝送路切替回路の構成例



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.